

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

JPA 05-328116

(11) Publication number: **05328116 A**

(43) Date of publication of application: **10.12.93**

(51) Int. Cl

**H04N 1/40**

**H04N 1/46**

(21) Application number: **04127413**

(71) Applicant: **FUJITSU LTD**

(22) Date of filing: **20.05.92**

(72) Inventor: **OGAWA NOBUO**

(54) **COLOR CORRECTION SYSTEM**

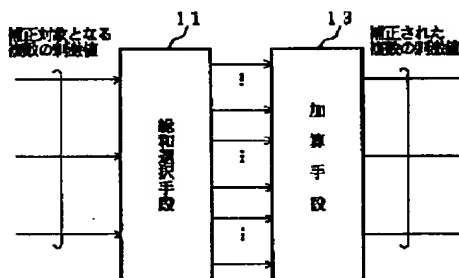
(57) Abstract:

**PURPOSE:** To inexpensively improve the speed and the precision of color correction processing by storing the sum total of values of a term of each stimulus value included in the result of multiplication with a coefficient matrix for color correction with respect to values which each stimulus value can take and calculating sum totals including elements of each row of the coefficient matrix out of sum totals selected in accordance with stimulus values as the color correction object.

**CONSTITUTION:** A matrix which consists of a single column and is given by an integer-order formula whose individual elements correspond to one of plural stimulus values is multiplied by the coefficient matrix having the same number of columns as the number of elements of this matrix, thus correcting plural stimulus values. In this case, a sum total selecting means 11 preliminarily stores sum totals of values of terms of respective stimulus values included in the multiplication result correspondingly to values, which plural stimulus values can take, and selects sum totals corresponding to plural stimulus values as the correction object from these sum totals. An adding means 13 adds sum totals including elements in each row of the

coefficient matrix out of these selected sum totals to obtain the multiplication result. Thus, the speed and the precision of color correction processing are inexpensively improved.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-328116

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl.<sup>5</sup>

H 0 4 N 1/40

1/46

識別記号

D 9068-5C

9068-5C

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 8 頁)

(21)出願番号

特願平4-127413

(22)出願日

平成4年(1992)5月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 小川 信夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 古谷 史旺 (外1名)

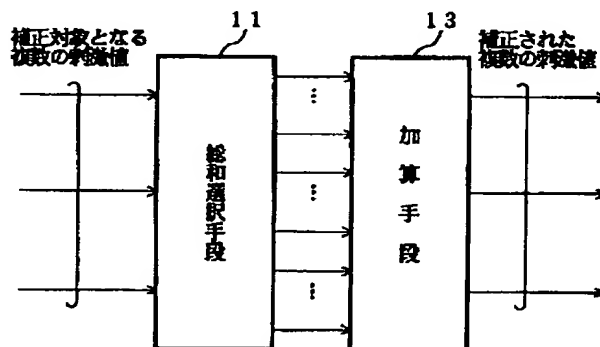
(54)【発明の名称】 色補正方式

(57)【要約】

【目的】 本発明は、カラー画像読み取り装置において、読み取りセンサから与えられる複数色の刺激値を補正する色補正方式に関し、色補正処理の速度と精度とを高く保持しつつ安価に種々の色変換処理に適用できることを目的とする

【構成】 個々の要素が複数の刺激値の内の1つに対する整数次の式で与えられる単一行列をその行列の要素数と列数が等しい係数行列に乗算して複数の刺激値を補正する色補正方式において、乗算の結果に含まれる刺激値毎の項の値の総和を複数の刺激値がとり得る値に対応させて予め記憶し、これらの総和から補正の対象となる複数の刺激値に対応した総和を選択する総和選択手段11と、総和選択手段11によって選択された総和で、係数行列の行毎にその行の要素を含む総和の和をとって乗算の結果を求める加算手段13とを備えて構成される。

本発明の原理ブロック図



## 【特許請求の範囲】

【請求項1】 個々の要素が複数の刺激値の内の1つに対する整数次の式で与えられる単一の行列をその行列の要素数と列数が等しい係数行列に乗算して前記複数の刺激値を補正する色補正方式において、

前記乗算の結果に含まれる刺激値毎の項の値の総和を前記複数の刺激値がとり得る値に対応させて予め記憶し、これらの総和から前記補正の対象となる複数の刺激値に対応した総和を選択する総和選択手段(11)と、前記総和選択手段(11)によって選択された総和で、前記係数行列の行毎にその行の要素を含む総和の和をとって前記乗算の結果を求める加算手段(13)とを備えたことを特徴とする色補正方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、カラー画像読み取り装置において、読み取りセンサから与えられる複数色の刺激値を補正する色補正方式に関する。

## 【0002】

【従来の技術】近年、プロセッサの高速化やメモリの大容量化に伴って、従来、専用システムのみでサポートされていたフルカラー画像が、例えば、カラーイメージスキャナ、カラー複写機、カラーファクシミリ装置のようなカラー画像を読み取る機能を有する種々のパーソナル機器でも扱われ、これに伴って色補正処理を安価に実現することが要求されつつある。また、このような要求と並行してカラー複写機やカラーファクシミリ装置では、その運用形態から色補正演算をリアルタイムに施すことが要求されている。

【0003】色補正処理は読み取りセンサの誤差を補正して正しい色座標系に基づく後段の画像処理を可能とするために最も基本的な機能であり、従来、例えば、

## 【0004】

## 【数1】

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \begin{bmatrix} m_{11} & m_{12} & m_{13} \\ m_{21} & m_{22} & m_{23} \\ m_{31} & m_{32} & m_{33} \end{bmatrix} \begin{bmatrix} R_0 \\ G_0 \\ B_0 \end{bmatrix} \quad \dots \textcircled{1}$$

【0005】の式に示すように、予め最小2乗法その他の方法により求められた補正係数 $m_{ij}$  ( $i=1\sim 3, j=1\sim 3$ )を要素とする行列に、基本3原色に対応した個別の読み取りセンサから与えられる刺激値 $R_0, G_0, B_0$ を要素とする単一の行列を乗算することにより、各原色に対応した補正刺激値 $R, G, B$ を得る方法が用いられていた。また、印刷業界では、補正対象の画像をドラムスキャナを用いて読み取って大型コンピュータで処理することにより上述した演算を行っていたが、このような大掛かりな構成はパーソナル機器には適用できなかった。

【0006】パーソナル機器において上述した色補正演

算を行う第一の方法としては、刺激値 $R_0, G_0, B_0$ がとり得る値の全てについて予め算出した上式①の値をテーブルとしてリードオンリメモリに格納し、そのテーブルを補正対象の刺激値に応じてルックアップする方法がある。

【0007】また、第二の方法としては、乗算器を含んだゲートアレイのように、近年、LSI技術の進歩に伴って開発された集積回路を採用して構成した専用のハードウェアを用いてリアルタイム処理を行う方法がある。

【0008】しかし、第一の方法では、演算速度が高速であるが、リードオンリメモリに格納すべきテーブルの情報量は、各色の刺激値が8ビットのA/Dコンバータを介して量子化された場合でも16メガ ( $=2^8 \times 2^8 \times 2^8$ ) バイトと膨大になるので、例えば、演算精度の劣化を抑えつつその情報量を「1/128」程度に低減する方法のように種々の改良をはかった色補正方式が提案されている。また、この方法では、例えば、

## 【0009】

## 【数2】

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \begin{bmatrix} m_{11} & m_{12} & m_{13} & \alpha \\ m_{21} & m_{22} & m_{23} & \beta \\ m_{31} & m_{32} & m_{33} & \gamma \end{bmatrix} \begin{bmatrix} R_0 \\ G_0 \\ B_0 \\ 1 \end{bmatrix} \quad \dots \textcircled{2}$$

【0010】の式で示すように定数項 $\alpha, \beta, \gamma$ を含む色補正演算のモデルに容易に対応することができ、かつ各刺激値のダイナミックレンジを示す色空間における刺激値の分布の偏りについて逆写像をとることにより、上述した情報量を削減する方法も適用可能である。

【0011】一方、第二の方法は、高速かつ高精度の演算が可能であり、かつ大量生産を行うことにより低コストも可能である。

## 【0012】

【発明が解決しようとする課題】ところで、このような従来の色補正方式の内、上述した第一の方法では、既に提案されている種々の方式を適用してもテーブルの情報量は大幅に低減されないために、ハードウェアの規模も大きくなってコスト高となり、かつそのテーブルの内容を容易に変更することはできなかった。また、第二の方法では、演算内容がハードウェアで決定されるために、適用可能な色変換モデルが、例えば、上式①、②の何れか一方のみと限定されて種々の色変換モデルに適用することが難しかった。

【0013】本発明は、色補正処理の速度と精度とを高く保持しつつ安価に種々の色変換処理に適用できる色補正方式を提供することを目的とする。

## 【0014】

【課題を解決するための手段】図1は、本発明の原理ブロック図である。本発明は、個々の要素が複数の刺激値の内の1つに対する整数次の式で与えられる単一の行

列をその行列の要素数と列数が等しい係数行列に乗算して複数の刺激値を補正する色補正方式において、乗算の結果に含まれる刺激値毎の項の値の総和を複数の刺激値がとり得る値に対応させて予め記憶し、これらの総和から補正の対象となる複数の刺激値に対応した総和を選択する総和選択手段11と、総和選択手段11によって選択された総和で内、係数行列の行毎にその行の要素を含む総和の和をとって乗算の結果を求める加算手段13とを備えたことを特徴とする。

【0015】

【作用】本発明では、総和選択手段11には色補正時に行われる係数行列との乗算の結果に含まれる刺激値毎の項の総和が各刺激値のとり得る値について記憶され、加算手段13は、色補正対象となる刺激値に応じて総和選択手段11によって選択された総和の内、係数行列の行毎にその行の要素を含む総和の和をとることにより上述した乗算の結果を求める。

【0016】すなわち、予め記憶すべき情報の量は補正対象となる複数の刺激値がとり得る値の組合せに応じた演算結果に比べて大幅に小さな値となり、かつ上述した乗算の結果を得るために乗算器を用いる必要がないので、従来例に比べて小規模の回路を用いて色補正処理を行うことができる。

【0017】

【実施例】以下、図面に基づいて本発明の実施例について詳細に説明する。図2は、本発明の一実施例を示す図である。

【0018】図において、色補正処理の対象となる3原色の内、赤色の刺激値 $R_0$ を示す8ビット長の色信号は、ラッチ回路21<sub>1</sub>の入力に与えられる。ラッチ回路21<sub>1</sub>の出力はメモリ(RAM)22<sub>1</sub>の下位アドレス入力に与えられ、そのデータ出力はラッチ回路23<sub>11</sub>、23<sub>12</sub>の入力に接続される。ここに、上述した3原色の内、緑色の刺激値 $G_0$ を示す色信号の回路および青色の刺激値 $B_0$ を示す色信号の回路については、それぞれラッチ回路21<sub>1</sub>に対応したラッチ回路21<sub>2</sub>、21<sub>3</sub>、メモリ22<sub>1</sub>に対応したメモリ(RAM)22<sub>2</sub>、22<sub>3</sub>、ラッチ回路23<sub>11</sub>に対応したラッチ回路23<sub>21</sub>、23<sub>31</sub>およびラッチ回路23<sub>12</sub>に対応したラッチ回路23<sub>22</sub>、23<sub>32</sub>が個別に備えられ、かつ上述した刺激値 $R_0$ の色信号の回路と同じ構成であるから、ここではその説明を省略する。ラッチ回路23<sub>11</sub>、23<sub>12</sub>の出力は加算器24<sub>1</sub>の一方の入力に接続され、ラッチ回路23<sub>21</sub>、23<sub>22</sub>の出力は加算器24<sub>1</sub>の他方の入力に接続される。加算器24<sub>1</sub>の出力は加算器24<sub>2</sub>の一方の入力に接続され、ラッチ回路23<sub>31</sub>、23<sub>32</sub>の出力は加算器24<sub>2</sub>の他方の入力に接続される。加算器24<sub>2</sub>の出力は、ラッチ回路25を介してメモリ(RAM)26の下位アドレス入力に接続される。メモリ26のデータ出力は出力ポート27の入力に接続され、その出力には補正

された刺激値が得られる。起動信号START、クロックCLKおよびリセット信号RSTは選択信号発生部28に与えられ、その出力に得られる選択信号R/B<sup>-</sup>、G/-はメモリ22<sub>1</sub>~22<sub>3</sub>、26の上位アドレス入力に与えられる。選択信号発生部28の出力に得られる選択信号H/L<sup>-</sup>は、ラッチ回路23<sub>11</sub>、23<sub>12</sub>、23<sub>21</sub>、23<sub>22</sub>、23<sub>31</sub>、23<sub>32</sub>のトリガ端子およびメモリ22<sub>1</sub>~22<sub>3</sub>の上位アドレス入力に与えられる。

10 【0019】選択信号発生部28では、起動信号STARTはアンドゲート29<sub>1</sub>の一方の入力に接続され、その出力はフリップフロップ30<sub>1</sub>のデータ入力Dに接続される。フリップフロップ30<sub>1</sub>の非反転出力Qは、アンドゲート29<sub>2</sub>の一方の入力に接続され、かつ上述した選択信号G/-を与える。アンドゲート29<sub>2</sub>の出力はフリップフロップ30<sub>2</sub>のデータ入力Dに接続され、その非反転出力Qは上述した選択信号R/B<sup>-</sup>を与える。フリップフロップ30<sub>1</sub>、30<sub>2</sub>の反転出力Q<sup>-</sup>は負論理のオアゲート31の各入力に接続され、その出力はアンドゲート29<sub>1</sub>、29<sub>2</sub>の他方の入力に接続される。クロックCLKはフリップフロップ32のクロック端子に与えられ、その非反転出力Qは上述した選択信号H/L<sup>-</sup>を与える。フリップフロップ32の反転出力Q<sup>-</sup>は、フリップフロップ32のデータ入力Dおよびフリップフロップ30<sub>1</sub>、30<sub>2</sub>のクロック端子に接続される。

【0020】なお、本実施例と図1に示すブロック図との対応関係については、ラッチ回路21<sub>1</sub>~21<sub>3</sub>、メモリ22<sub>1</sub>~22<sub>3</sub>および選択信号発生部28は総和選択手段11に対応し、ラッチ回路23<sub>11</sub>、23<sub>12</sub>、23<sub>21</sub>、23<sub>22</sub>、23<sub>31</sub>、23<sub>32</sub>、加算器24<sub>1</sub>、24<sub>2</sub>、ラッチ回路25、メモリ26、ラッチ回路27および選択信号発生部28は加算手段13に対応する。

【0021】図3は、本実施例の動作タイミングチャートである。以下、図2および図3を参照して本発明の動作を説明する。なお、本実施例は、例えば、図4に示すように、カラー画像を読み取ってその画像を示す刺激値 $R_0$ 、 $G_0$ 、 $B_0$ を出力するカラーセンサ41、これらの刺激値を順次記憶してカラーセンサ側の読み取り動作と後段に配置される画像処理部が行う処理とのタイミングの差を吸収するバッファメモリ42、バッファメモリ42と画像処理部とのインタフェースをとるインタフェース部43、これらの各部を統括的に制御する制御部44を備えた画像読み取り装置において、カラーセンサ41とバッファメモリ42との間に配置されて制御部44が行う制御の下で刺激値 $R_0$ 、 $G_0$ 、 $B_0$ を補正する色補正回路45に適用される。

【0022】メモリ22<sub>1</sub>には、予めプロセッサによって上式①の右辺の内、補正対象となる刺激値 $R_0$ がとり得る個々の値に対応した16ビット長の項 $R_0m_{11}$ 、 $R_0$

$m_{21}$ 、 $R_0 m_{31}$  の値が格納される。同様に、メモリ 22<sub>2</sub> には補正対象となる刺激値  $G_0$  がとり得る個々の値に対応した 16 ビット長の項  $G_0 m_{12}$ 、 $G_0 m_{22}$ 、 $G_0 m_{32}$  の値が予め格納され、メモリ 22<sub>3</sub> には補正対象となる刺激値  $B_0$  がとり得る個々の値に対応した 16 ビット長の項  $B_0 m_{13}$ 、 $B_0 m_{23}$ 、 $B_0 m_{33}$  の値が予め格納される。

【0023】メモリ 26 には、予めプロセッサによって上式①の左辺の各要素で与えられる補正結果を個別に 11 ビット長から 8 ビット長に丸めるために用いるべきテ

ーブルが書き込まれる。

【0024】選択信号発生部 28 では、電源投入時に与えられるリセット信号  $RST^-$  に応じてフリップフロップ 30<sub>1</sub>、30<sub>2</sub> がリセットされ、これらのフリップフロップのクロック端子にはクロック  $CLK$  がフリップフロップ 32 によって 2 分周されて与えられる。また、このような状態では、上述した選択信号  $R/B^-$ 、 $G/-$  の論理値は、何れもローレベルとなって刺激値  $R_0$  に対応した補正結果を出力すべき状態を示す。

【0025】ラッチ回路 21<sub>1</sub> ~ 21<sub>3</sub> は、選択信号  $H/L^-$  の立ち下がりに同期して補正対象となる 3 色の刺激値  $R_0$ 、 $G_0$ 、 $B_0$  を保持する (図 3①)。選択信号発生部 28 では、このような選択信号の立ち下がりに先行して与えられた起動信号  $START$  に応じてフリップフロップ 30<sub>1</sub>、30<sub>2</sub> が選択信号  $R/B^-$ 、 $G/-$  の切り替え動作を開始する。

【0026】メモリ 22<sub>1</sub> は、選択信号  $H/L^-$  の論理値がローレベルである期間に上述した選択信号  $R/B^-$ 、 $G/-$  の論理値に応じて、項  $R_0 m_{11}$  の下位オクタの 8 ビットを選択して出力する。同様に、メモリ 22<sub>2</sub> は項  $G_0 m_{12}$  の下位オクタの 8 ビットを出力し、メモリ 22<sub>3</sub> は項  $B_0 m_{13}$  の下位オクタの 8 ビットを出力する (図 3②)。なお、図 3 では、簡単のため、これらの下位オクタの項の値を「L」で示す。ラッチ回路 23<sub>11</sub>、23<sub>21</sub>、23<sub>31</sub> は、選択信号  $H/L^-$  の立ち上がりに同期して、これらの項の値を保持して上式①の右辺第一項の第一行に対応した各項の下位 8 ビットを確定する (図 3③)。

【0027】さらに、メモリ 22<sub>1</sub> ~ 22<sub>3</sub> は、ハイレベルとなった選択信号  $H/L^-$  に応じて、それぞれ先行して出力された各項の下位オクタに続く上位オクタの 8 ビットを出力する (図 3④)。なお、図 3 では、簡単のため、これらの上位オクタの値を「H」で示す。ラッチ回路 23<sub>12</sub>、23<sub>22</sub>、23<sub>32</sub> は、選択信号  $H/L^-$  の立ち下がりに同期して、これらの上位オクタの値を保持して上式①の右辺第一項の第一行に対応した項の上位 8 ビットを確定する (図 3⑤)。

【0028】加算器 24<sub>1</sub> は、ラッチ 23<sub>11</sub>、23<sub>12</sub> に保持された項  $R_0 m_{11}$  ( $=R_1$ ) とラッチ回路 23<sub>21</sub>、23<sub>22</sub> に保持された項  $G_0 m_{12}$  ( $=G_1$ ) とを加算する (図

3⑥)。加算器 24<sub>2</sub> は、このようにして得られる加算結果 ( $=R_1 + G_1$ ) にラッチ回路 23<sub>31</sub>、23<sub>32</sub> に保持された項  $B_0 m_{11}$  ( $=B_1$ ) を加算する (図 3⑥)。

【0029】ラッチ回路 25 は、ラッチ 23<sub>11</sub>、23<sub>21</sub>、23<sub>31</sub> のラッチタイミングに対して選択信号  $H/L^-$  の一周遅れで、加算器 24<sub>2</sub> から出力される加算結果の上位 11 ビットの値 ( $=r$  ( $=R_1 + G_1 + B_1$ ))) を保持 (図 3⑦) する。メモリ 26 は、このようにして保持された加算結果に応じて上述した選択信号  $R/B^-$ 、 $G/-$  の論理値で示されるテーブルを参照することにより、その加算結果を 8 ビット長に丸めた値 ( $=rr$  ( $=R$ ))) を求めて出力する (図 3⑧)。ラッチ回路 27 は、このようにして丸められた値を保持して出力する (図 3⑨)。

【0030】フリップフロップ 30<sub>1</sub> は図 3⑥のタイミングを与える選択信号  $H/L^-$  の立ち下がりに反転するので選択信号  $G/-$  の論理値がハイレベルとなり、さらに選択信号  $H/L^-$  の一周遅れたタイミングでは、フリップフロップ 30<sub>1</sub>、30<sub>2</sub> が共に反転するので選択信号  $R/B^-$  の論理値がハイレベルとなって選択信号  $G/-$  の論理値がローレベルに復帰する。しかし、このような選択信号の更新タイミングに続く各部の動作については、メモリ 22<sub>1</sub> ~ 22<sub>3</sub> から出力される各項が、選択信号  $R/B^-$ 、 $G/-$  の論理値に応じてそれぞれ上式①の左辺第一項の第二行や第三行に対応したものに切り替えて出力される点のみが異なり、ラッチ回路 23<sub>11</sub>、23<sub>12</sub>、23<sub>21</sub>、23<sub>22</sub>、23<sub>31</sub>、23<sub>32</sub>、加算器 24<sub>1</sub>、24<sub>2</sub>、ラッチ回路 25、メモリ 26 およびラッチ回路 27 の動作は同じである。したがって、ここではその説明を省略して、図 3 では、これらの対応するタイミングで加算器 24<sub>1</sub>、24<sub>2</sub> が加算する各項については、上述した添え番号「<sub>1</sub>」に代えてそれぞれ添え番号「<sub>2</sub>」および「<sub>3</sub>」を付加して示し、かつこれらの加算結果については上述した「 $r$ 」に代えてそれぞれ「 $g$ 」および「 $b$ 」で示す。

【0031】ラッチ回路 27 の出力には、上述した選択信号  $R/B^-$ 、 $G/-$ 、 $H/L^-$  のリサイクリックな切り替わりに同期して上式①の左辺に示す補正された刺激値  $R$ 、 $G$ 、 $B$  が順次得られる。

【0032】このように本実施例によれば、色補正係数を示す行列の各要素と補正対象の刺激値を示す単一列の行列との乗算結果に含まれる項の値をその刺激値がとり得る個々の値に対応して予め記憶し、これらの行列の乗算を行う演算の順序にしたがってそのメモリの内容を読み出して和をとることにより色補正処理を行う。すなわち、刺激値がとり得る値の個々の組合せに対応した演算結果に比べて記憶すべき情報が大幅に小さくなり、かつこのように記憶された各項の値から所望の乗算結果を得るために新たに乗算器を用いる必要がないので回路規模が低減される。

【0033】したがって、演算所要時間については、アクセスタイムが100ns以下のメモリを使用することにより従来のLSIを用いて構成された専用のハードウェアとはほぼ同じ値を得ることが可能である。また、本実施例回路をLSI化する場合には、従来例で必要とされた大容量のメモリや複数の乗算器が不要となってゲート数が大幅に減少するので、同一チップ上に、例えば、DMAコントローラのような周辺回路を複合配置することが可能となる。

【0034】なお、本実施例では、RGB表色系に基づく色補正処理の例を示したが、本発明は、このような表色系に限定されず、例えば、XYZ表色系やCMY表色系のように色の3属性に基づいて心理物理色に対応した刺激値を示す混色系の表色系であればどのような表色系にも適用可能である。

【0035】また、本実施例では、上式①に基づく色補正モデルを採用したが、本発明は、このような色補正モデルに限定されず、色補正係数を示す行列に乗算すべき単一列の行列の各要素が補正対象となる刺激値 $R_0$ 、 $G$

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \begin{bmatrix} m_{11} & m_{12} & m_{13} & m_{14} & m_{15} & m_{16} & \alpha \\ m_{21} & m_{22} & m_{23} & m_{24} & m_{25} & m_{26} & \beta \\ m_{31} & m_{32} & m_{33} & m_{34} & m_{35} & m_{36} & \gamma \end{bmatrix} \begin{bmatrix} R_0 \\ G_0 \\ B_0 \\ R_0^2 \\ G_0^2 \\ B_0^2 \\ 1 \end{bmatrix}$$

【0040】の式に示す色補正モデルに対応する場合には、項 $R_0m_{11}$ 、 $G_0m_{12}$ 、 $B_0m_{13}$ の値に代えてメモリ22<sub>1</sub>～22<sub>3</sub>に項 $(R_0m_{11}+R_0^2m_{14}+\alpha)$ 、 $(G_0m_{12}+G_0^2m_{15}+\beta)$ 、 $(B_0m_{13}+B_0^2m_{16}+\gamma)$ の値を設定することにより、それぞれ適用可能である。

【0041】さらに、本実施例では、色補正係数を与える行列の各行毎に分割して演算を行うために、選択信号発生部28の制御の下にメモリ22<sub>1</sub>～22<sub>3</sub>からラッチ回路27に至る一連の回路を共用しているが、本発明は、このような構成に限定されず、例えば、メモリ22<sub>1</sub>～22<sub>3</sub>に代えて補正対象の刺激値に対応した各項の値を同時に出力するメモリを用い、かつこれらの項の値を並行して加算する構成をとってもよい。

【0042】また、本実施例では、メモリ26に設定されたテーブルを用いて補正された刺激値の丸め処理を行っているが、メモリ26は、このような処理に限定されず、例えば、テーブル上に設定される値を適性に設定することにより、例えば、補正された刺激値の値が負数となった場合にその値を所定の値に変換することにより、後段における画像処理の演算対象として規制されるべき値を排除するために用いることも可能である。

【0043】さらに、本実施例では、加算器24<sub>2</sub>の出力における有効ビット数は16ビット長の3つのデータを加算することに伴って17.5ビットとなるので、上述した

0、 $B_0$ の1つに対する整数次の式で与えられる色補正モデルであれば、どのようなものにも適用可能である。

【0036】したがって、例えば、本実施例は、上式②に示す色補正モデルに対応する場合には、本実施例における項 $B_0m_{13}$ 、 $B_0m_{23}$ 、 $B_0m_{33}$ の値に代えてメモリ22<sub>1</sub>～22<sub>3</sub>に項 $(B_0m_{13}+\alpha)$ 、 $(B_0m_{23}+\beta)$ 、 $(B_0m_{33}+\gamma)$ の値を設定し、

【0037】

【数3】

$$\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \begin{bmatrix} m_{11} & m_{12} & m_{13} \\ m_{21} & m_{22} & m_{23} \\ m_{31} & m_{32} & m_{33} \end{bmatrix} \begin{bmatrix} R_0 + \alpha \\ G_0 + \beta \\ B_0 + \gamma \end{bmatrix} \quad \dots \textcircled{3}$$

【0038】の式に示す色補正モデルに対応する場合には、本実施例における項 $R_0m_{11}$ 、 $G_0m_{12}$ 、 $B_0m_{13}$ の値に代えてメモリ22<sub>1</sub>～22<sub>3</sub>に項 $(R_0+\alpha)m_{11}$ 、 $(G_0+\beta)m_{12}$ 、 $(B_0+\gamma)m_{13}$ の値を設定し、

【0039】

【数4】

画像処理の一種であるガンマ補正の処理については、加算器24<sub>2</sub>の出力に得られる加算結果に直接施すことにより、ラッチ回路27の出力に得られる8ビット長のデータに対数特性に基づくガンマ補正を施して実質的な精度が3ビットに低下することを回避できる。

【0044】

【発明の効果】以上説明したように本発明では、色補正処理として行われる行列の乗算結果に含まれる各刺激値の項の値の総和がその刺激値の取り得る値に対応して予め記憶されるので、これらの総和の情報量は色補正処理の対象となる全ての刺激値の組合せに応じた演算結果に比べて大幅に小さな値となる。さらに、これらの総和から色補正処理の結果を求めるために乗算を行う必要がないので、従来の乗算器を搭載した方式に比べて回路規模が低減される。

【0045】すなわち、従来の色補正方式と同様の演算速度や演算精度を保持しつつ低廉化がはかられ、かつ記憶すべき情報量の低減に伴って上述した総和の値の設定が容易となるので種々の色変換に対応可能となる。

【0046】したがって、本発明を適用した画像読み取り装置では、色再現特性を良好に保持しつつ性能が高められる。

【図面の簡単な説明】

【図1】本発明の原理ブロック図である。

30

40

50

【図2】本発明の一実施例を示す図である。  
 【図3】本実施例の動作タイミングチャートである。  
 【図4】本実施例を適用した画像読み取り装置の構成を示す図である。

【符号の説明】

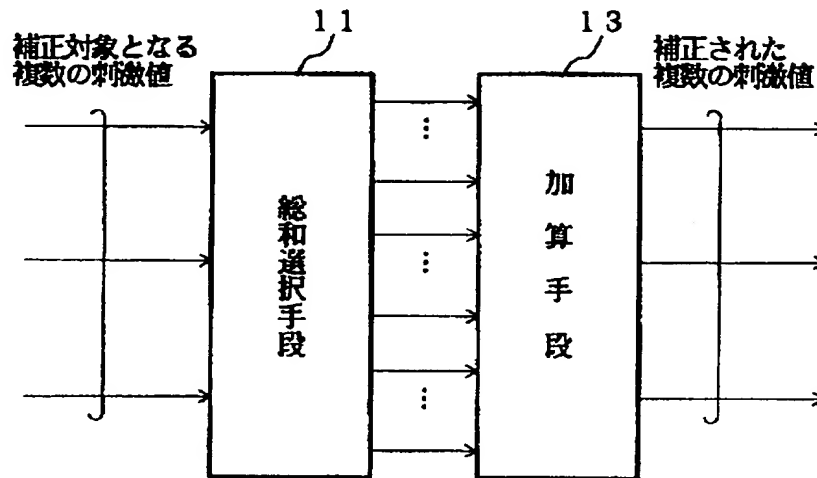
11 総和選択手段  
 13 加算手段  
 21, 23, 25, 27 ラッチ回路  
 22, 26 メモリ (RAM)  
 24 加算器

28 選択信号発生部  
 29 アンドゲート、  
 30, 32 フリップフロップ  
 31 オアゲート  
 41 カラーセンサ  
 42 バッファメモリ  
 43 インタフェース部  
 44 制御部  
 45 色補正回路

10

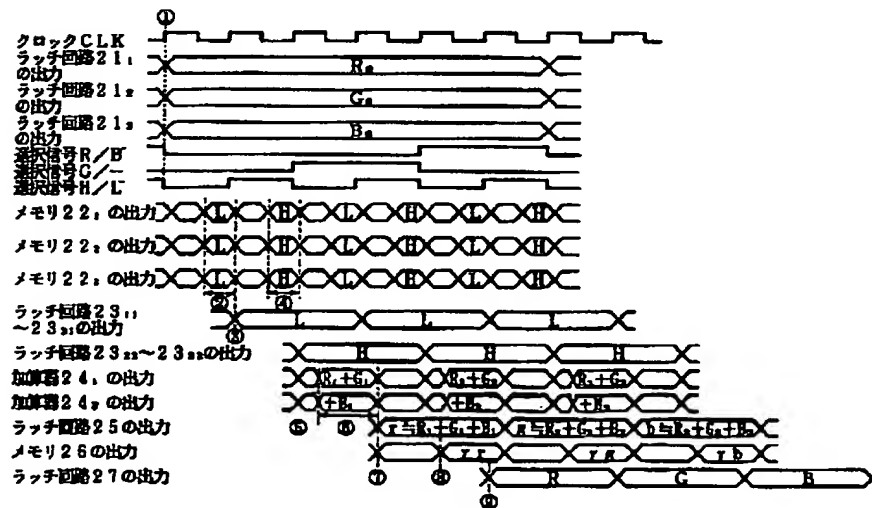
【図1】

本発明の原理ブロック図



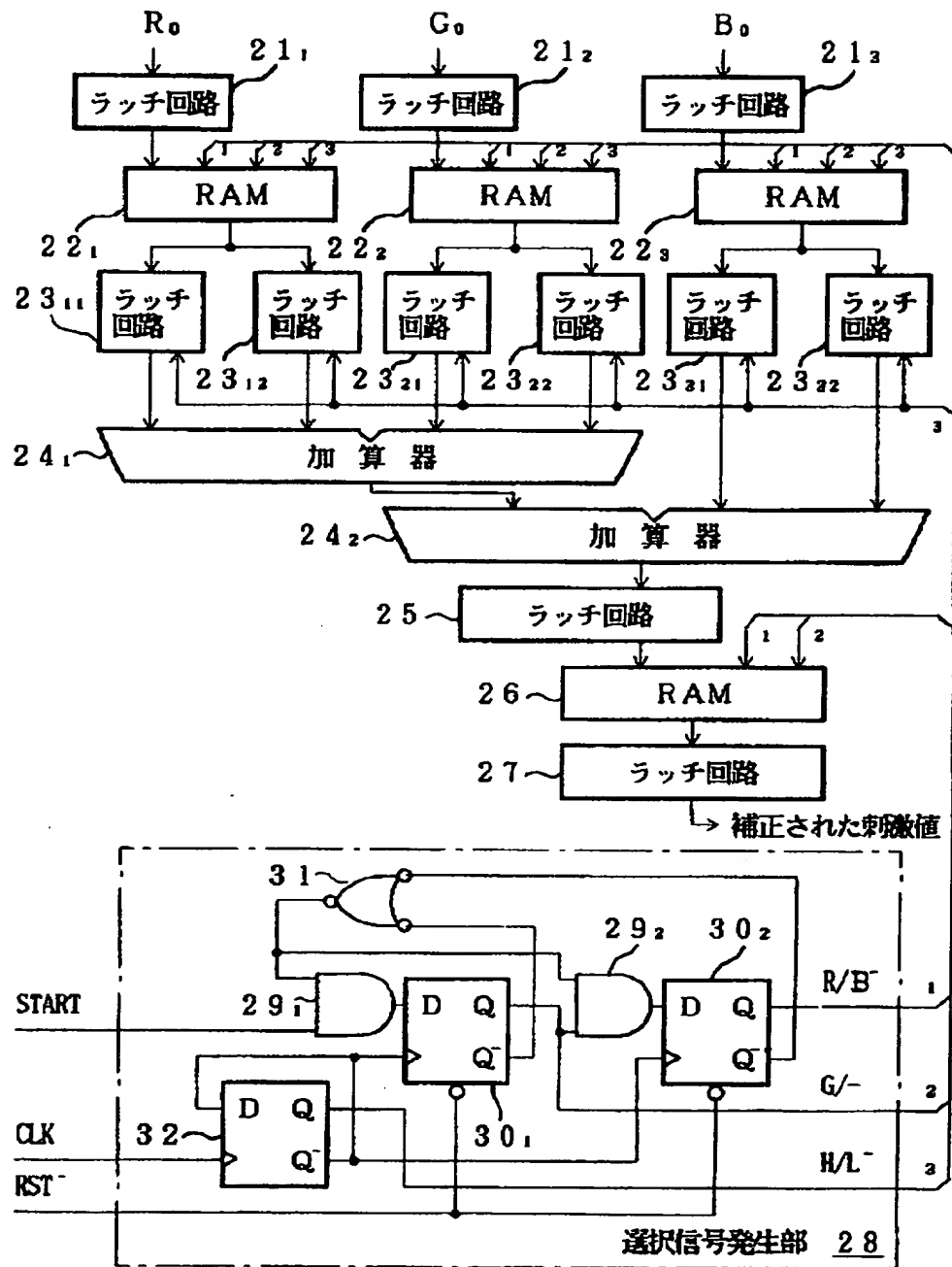
【図3】

本実施例の動作タイミングチャート



【図2】

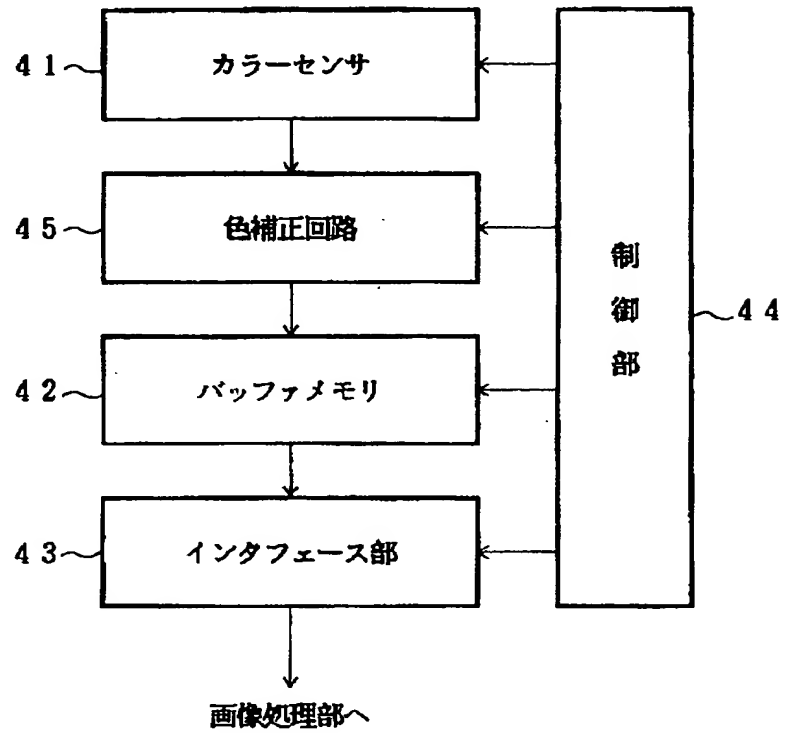
本発明の一実施例を示す図





【図4】

本実施例を適用した画像読み取り装置の構成を示す図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**